

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/EP05/001165

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 10 2004 030 812.8
Filing date: 25 June 2004 (25.06.2004)

Date of receipt at the International Bureau: 02 May 2005 (02.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 10 2004 030 812.8

Anmeldetag: 25. Juni 2004

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Stromsparender Multibit-Delta-Sigma-Wandler

Priorität: 27. Februar 2004 DE 10 2004 009 609.0

IPC: H 03 K 3/03

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. Februar 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read 'Wehner'.

Wehner

Beschreibung

Stromsparender Multibit-Delta-Sigma-Wandler

- 5 Die vorliegende Erfindung betrifft einen stromsparenden Multibit-Delta-Sigma-Wandler, bei dem insbesondere die Anzahl von Komparatoren in seinem Quantisierer reduziert ist.

10 Als Analog-Digital-Umsetzer bzw. Wandler werden häufig sogenannte Delta-Sigma-Wandler verwendet, weil diese hohe Quantisierungen und einen großen Signal-Rauschabstand bieten.

Ein einfacher allgemein bekannter Ein-Bit-Delta-Sigma-Wandler liefert aus einem analogen Eingangssignal einen Ein-Bit-Datenstrom. Wenn die Amplitude des analogen Eingangssignals ansteigt, überwiegt am Ausgang des Delta-Sigma-Wandlers ein logischer H-Pegel, fällt sie, überwiegt ein logischer L-Pegel. Bei konstantem Eingangssignal fluktuiert das digitale Ausgangssignal zwischen den H- und L-Pegeln. Das analoge Signal kann dann prinzipiell durch Integration wieder aus dem Bitstrom gewonnen werden.

Im Wesentlichen besteht ein solcher Ein-Bit-Delta-Sigma-Wandler aus zwei Blöcken: einem analogen Modulator und einem digitalen Filter. Dabei ist der Modulator prinzipiell nur ein Komparator, dem ein Integrierer vorgeschaltet ist. Mit einem Differenzverstärker wird von dem analogen Eingangssignal ein mit einem Einbit Digital-Analog-Wandler rückgewandeltem Ausgangssignal abgezogen. Dieses Signal aus dem Differenzverstärker wird einem Komparator zugeführt, dem ein Integrierer vorgeschaltet ist. So wird der Komparator ständig zurückgesetzt und es entsteht der Ein-Bit-Datenstrom.

35 Da bei kleinen Eingangspegeln das Quantisierungsrauschen bei dieser Ein-Bit-Wandlung relativ groß ist, weil das digitale Ausgangssignal lediglich vollständig zwischen H- und L-Pegel

schwankt, wird häufig eine Multibit-Delta-Sigma-Modulation eingesetzt.

Ein allgemein nach dem Stand der Technik bekannter Multibit-Delta-Sigma-Wandler ist in Figur 1 dargestellt.

Der Multibit-Delta-Sigma-Wandler MDSW weist einen Eingang E zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang A zur Ausgabe eines N-Bit breiten digitalen Ausgangssignals ZD auf. Es ist ein Digital-Analog-Wandler DAW von N Bitbreite vorgesehen, der aus dem digitalen Ausgangssignal ZD ein Rückkopplungssignal Z3 wandelt. Von dem analogen Eingangssignal ZA wird das Rückkopplungssignal Z3 mit einem Differenzverstärker DV abgezogen. Das so erhaltene Differenzsignal Z1 wird von einem Integrierer S integriert und als integriertes Signal Z2 einem N-Bit Quantisierer zugeführt, der daraus das digitale Ausgangssignal bildet.

Der Quantisierer Q wird in der Regel als Flash-Analog-Digital-Wandler ausgeführt. Eine entsprechende Schaltungsanordnung eines demgemäßen Quantisierers Q ist in Figur 2 dargestellt.

Es ist beispielhaft ein Drei-Bit-Quantisierer Q dargestellt, der einen Eingang A zum Entgegennehmen des integrierten Signals Z2 und einen Ausgang D zur Ausgabe des digitalen Ausgangssignals D aufweist. Es sind sieben Komparatoren K1, ... K7 vorgesehen, die jeweils einen ersten Eingang L1, ... L7 zum Entgegennehmen des integrierten Signals Z2, jeweils einen zweiten Eingang M1, ... M7 zum Anschluss eines jeweiligen Referenzpotenzials U1, ... U7 und jeweils einen Ausgang U1, ... U7 zum Ausgeben eines Vergleichsergebnisses P1, ... P7 aufweisen. Die Vergleichsergebnisse P1, ... P7 werden an einen Dekodierer DEK geführt, der das digitale Ausgangssignal ZE bildet.

Die Referenzpotenziale $U_0, \dots U_6$ werden zwischen Widerständen $R_1, \dots R_7$ einer Widerstandskette abgegriffen, die zwischen einem oberen Referenzpotenzial $VREFP$ und einem unteren Referenzpotenzial $VREFN$ geschaltet sind, abgegriffen. So liegen die Vergleichsergebnisse jeweils entweder als H- oder L-Pegel vor. Je nach Pegel des integrierten analogen Eingangssignals Z_2 schalten die jeweiligen Komparatoren einen H-Pegel oder einen L-Pegel als Vergleichsresultat an den Dekodierer.

Die Vergleichsresultate liegen somit im Thermometerkode vor, und der Dekodierer bildet daraus ein geeignetes, z.B. binär kodiertes digitales Ausgangssignal ZD .

Ein besonders großer Nachteil dieser Quantisierieranordnung Q nach dem Stand der Technik liegt in ihrem hohen Stromverbrauch. Quantisierer sind besonders große Leistungsaufnehmer. Da mit der Bitbreite N eines Quantisierers Q die Anzahl der notwendigen Komparatoren exponentiell ansteigt, weisen auch Multibit-Delta-Sigma-Wandler nach dem Stand der Technik mit hoher Bitbreite eine hohe Leistungsaufnahme auf.

Z.B. werden bei einem Quantisierer für einen Vier-Bit-Delta-Sigma-Wandler fünfzehn Komparatoren benötigt. Daher sind Multibit-Delta-Sigma-Wandler mit hoher Bitbreite in der Regel starke Stromverbraucher.

Der vorliegenden Erfindung liegt nunmehr die Aufgabe zugrunde, einen stromsparenden Multibit-Delta-Sigma-Wandler zu schaffen, der insbesondere eine geringe Anzahl von Komparatoren aufweist und einen geringen Flächenbedarf als integrierte Schaltung aufweist.

Erfindungsgemäß wird diese Aufgabe von einem stromsparenden Multibit-Delta-Sigma-Wandler gelöst, der die Merkmale des Patentanspruchs 1 aufweist. Ferner löst die Aufgabe ein Multibit-Delta-Sigma-Wandler, der die Merkmale des nebengeordneten Patentanspruchs 10 aufweist.

Demgemäß ist ein stromsparender Multibit-Delta-Sigma-Wandler vorgesehen mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal, mit einem Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal, mit einer Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal, mit einem Filter zum Filtern Differenzsignals, und mit einer getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N . Dabei weist die Quantisiereinrichtung eine Anzahl Y Komparatoren auf, die das gefilterte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Vergleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal erzeugt. Dabei sind die Referenzpotenziale in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

Es ist ferner ein stromsparender Multibit-Delta-Sigma-Wandler mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal vorgesehen, der einen Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal; eine Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal; einen Filter zum Filtern des Differenzsignals; und eine getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N aufweist. Dabei beaufschlagt die Quantisiereinrichtung das gefilterte Signal mit einem Potenzial-Offset und weist eine Anzahl Y Komparatoren auf, die das gefilterte und beaufschlagte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Vergleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Aus-

gangssignal erzeugt. Ferner ist der Potenzial-Offset in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

- 5 Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, dass durch Kenntnis der Vergleichsergebnisse - bzw. Kenntnis der Wandlerergebnisse und damit des digitalen Ausgangssignals - zu einem vorherigen Zeitpunkt die Anzahl der Komparatoren verringert wird. Da sich das analoge gefilterte
- 10 Eingangssignal der Quantisiereinrichtung im Bezug zur Taktfrequenz nur langsam ändert, findet eine Änderung im Thermometerkode, der von den Komparatoren ausgegeben wird, nur an einem der Komparatoren statt. Daher genügt es erfindungsgemäß, den Komparator zu lokalisieren, der sich gegenüber seinem ausgegebenen Vergleichsergebnis zu einem vorhergehenden
- 15 Takt ändert. So wird die entsprechende Stelle im Thermometerkode und nur einige wenige weitere Komparatoren vorgehalten. Von Takt zu Takt sind lediglich die sich ändernden Vergleichsergebnisse relevant, die dadurch gekennzeichnet sind, dass die Schaltschwelle des entsprechenden Komparators nahe
- 20 dem Pegel des analogen gefilterten Signals liegt. Erfindungsgemäß lässt sich auch das gefilterte Signal mit einem Potenzial-Offset beaufschlagen, wodurch ein beaufschlagtes Signal an die Komparatoren der Quantisiereinrichtung geführt ist, dessen Potenzialpegel immer in der Nähe der Schwellspannungen der - erfindungsgemäß reduzierten Anzahl der - Komparatoren nachgeführt ist. Dadurch, dass die Quantisiereinrichtung in dem erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandler weniger Komparatoren als ein entsprechender N-Bit
- 30 breiter Quantisierer nach dem Stand der Technik aufweist, ist der erfindungsgemäße Multibit-Delta-Sigma-Wandler extrem stromsparend. Zudem ist der Flächenbedarf auf einem Halbleiterchip viel geringer als bei sonst üblichen Wandlern.
- 35 In einer bevorzugten Ausführungsform weist die Summiereinrichtung einen Differenzverstärker zum Verstärken der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal

auf und/oder das Filter weist einen Integrierer zum Integrieren des verstärkten Differenzsignals auf.

5 Bevorzugter Weise weist die Quantisiereinrichtung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers weniger als 2^N-1 Komparatoren auf.

10 In einer bevorzugten Weiterbildung des Multibit-Delta-Sigma-Wandlers weist die Quantisiereinrichtung eine Schaltsteuerung auf, die in Abhängigkeit von dem vorherigen Vergleichsergebnis Referenzpotenziale an die Komparatoren schaltet, so dass bei einer Änderung des Eingangssignals (ZA) mindestens einer der Komparatoren sein Vergleichsergebnis ändert. Bevorzugt ist ein Speicher zum Zwischenspeichern des digitalen Ausgangssignals vorgesehen. Aus dem gespeicherten digitalen Ausgangssignal lässt sich derjenige Komparator lokalisieren, der einer Stelle des Thermometerkodes entspricht und welcher eine Schaltschwelle aufweist, die dem Pegel des gefilterten Signals am nächsten liegt.

20

Die Schaltsteuerung ist bevorzugt an den Speicher gekoppelt und schaltet die Referenzpotenziale in Abhängigkeit von dem zwischengespeicherten Ausgangssignal an die Komparatoren.

30 In einer bevorzugten Ausführungsform des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers weist die Quantisiereinrichtung mindestens einen ersten, zweiten und dritten Komparator mit jeweils einem ersten Eingang, einem zweiten Eingang und einem Ausgang auf. Dabei sind an die ersten Eingänge das gefilterte Signal angelegt und an die zweiten Eingänge jeweils ein erstes, zweites und drittes Referenzpotenzial. Die Ausgänge der Komparatoren liefern jeweils ein Vergleichsergebnis und die Referenzpotenziale sind so gewählt, dass das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial liegt und dass das zweite Referenzpotenzial dem Potenzial des gefilterten Signals am nächsten liegt.

35

Bei einer Ausführung der Quantisiereinrichtung mit nur drei Komparatoren ist es möglich, jeweils die Referenzpotenziale derart abzustimmen bzw. nachzuführen, dass der zweite bzw. mittlere Komparator sein Vergleichsergebnis von Takt zu Takt ändert. In dem Drei-Bit-Thermometerkode entspricht die Gesamtheit der Vergleichsergebnisse der drei Komparatoren dann jeweils einem Anstieg, Gleichbleiben oder Abfallen des analogen gefilterten Eingangssignals. Der Dekodierer kann daraus ausgehend von dem bekannten vorherigen Wandlerergebnis das entsprechende digitale Ausgangssignal bzw. den vollständigen Thermometerkode konstruieren. Der große Vorteil dieser bevorzugten Ausführungsform liegt darin dass in der Tat nur drei Komparatoren auch bei hohen Bitbreiten ausreichend sind.

15 Ferner ist es vorteilhaft, dass die Referenzpotenziale äquidistant gewählt sind und dass $2^N - 1$ verschiedene Referenzpotenziale schaltbar sind.

20 In noch einer bevorzugten Weiterbildung der Erfindung sind der Digital-Analog-Wandler und die Quantisiereinrichtung mit der Bitbreite N und mit der Bitbreite $M = \ln(Y+1)/\ln(2)$ betreibbar, wobei die Bitbreite M der Anzahl Y der Komparatoren entspricht.

30 Dadurch ist es möglich, den erfindungsgemäßen Multibit-Delta-Sigma-Wandler in einem ersten Betriebsmodus mit einer Bitbreite M zu betreiben, wobei die Quantisiereinrichtung als einfacher Flash-Analog-Digital-Wandler funktioniert, also mit einer reduzierten Auflösung. Dies ist insbesondere von Vorteil, wenn in einer Einschaltphase die Referenzpotenziale an die Komparatoren zunächst unbekannt sind, weil kein zuverlässiges Wandlungsergebnis des vorhergehenden Takt- bzw. Wandlerzyklus bereit steht. Erst in einem zweiten Betriebsmodus wird dann der Multibit-Delta-Sigma-Wandler mit der vollen
35 Bitbreite N und mit nachgeführten Referenzpotenzialen betrieben. Dies dient der Stabilität des gesamten erfindungsgemäßen Multibit-Delta-Sigma-Wandlers.

Bevorzugter Weise ist der Digital-Analog-Wandler und die Quantisiereinrichtung zwischen den beiden Bitbreiten N und M umschaltbar. In der vorteilhaften Weiterbildung weist die
5 Schaltsteuerung vorzugsweise eine Zähleinrichtung zum Erzeugen eines digitalen Mittelwertsignals in 2^N -Y-stelligem Thermometerkode in Abhängigkeit von den Vergleichsergebnissen auf. Besonders bevorzugt hat die Zähleinrichtung einen Vorwärts-Rückwärts-Zähler.

10 Der Vorwärts-Rückwärts-Zähler stellt in einfacher Weise den von Wandlung zu Wandlung konstanten Teil des in Thermometerkode vorliegenden Ausgangssignals dar, dem ein Differenzsignal, welches im Wesentlichen dem Y-stellige Thermometerkode
15 aus den Vergleichsergebnissen entspricht zuaddiert wird. Vorzugsweise geschieht dies in dem Dekodierer, welcher eine Addiereinrichtung aufweist zum Bilden des N Bit breiten Ausgangssignals aus den Vergleichsergebnissen und dem Mittelwertsignal.

20 In einer bevorzugten Ausführungsform weist die Schaltsteuerung ferner eine Steuerlogik auf, die in Abhängigkeit von den Vergleichsergebnissen entweder die Vergleichsergebnisse in Y-stelligem M Bit breiten Thermometerkode als digitales Ausgangssignal schaltet, oder die mit dem Mittelwertsignal kombinierten Vergleichsergebnisse als digitales Ausgangssignal
in 2^N -stelligem, N -Bit breitem Thermometerkode schaltet. Thermometerkode mit 2^N Stellen kann auf 2^N-1 Datenleitungen übertragen werden.

30 Die als Fangschaltung arbeitende Steuerlogik steuert die Quantisiereinrichtung entweder als M -Bit Flash-Analog-Digital-Wandler oder als N -Bit Analog-Digital-Wandler, bei dem die Referenzpotenziale für die eingesetzten Komparatoren
35 entsprechend einem Wandlerergebnis nachgeführt werden bzw. das Eingangssignal mit einem Potenzial-Offset beaufschlagt wird. Dies hat den Vorteil, dass die Nachführung der Referenz-

renzpoteziale erst dann geschieht, wenn ein stabiler Arbeitspunkt des Regelkreises der Quantisiereinrichtung gefunden ist.

- 5 In einer weiteren bevorzugten Ausführungsform weist die Schaltsteuerung einen Referenz-Digital-Analog-Wandler zum Erzeugen des Offset-Potenzials aus dem digitalen Mittelwertsignal auf. Da das Mittelwertsignal als 2^N -Y-stelliges Thermometerkodesignal auf 2^N -Y-1 Datenleitungen vorliegt, ist ein Referenz-Digital-Analog-Wandler eine besonders einfache Ein-
10 richtung zum Erzeugen des Potenzial-Offsets.

Weitere vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche sowie der Beschreibung unter Bezugnahme auf die Zeichnungen.
15

Die Erfindung wird nachfolgend anhand der schematischen Figuren und der Ausführungsbeispiele näher erläutert. Dabei zeigt:
20

Figur 1: einen Multibit-Delta-Sigma-Wandler nach dem Stand der Technik;

Figur 2: einen 3-Bit Quantisierer nach dem Stand der Technik;

Figur 3: eine Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

Figur 4: eine Ausführungsform einer erfindungsgemäßen Quantisiereinrichtung;
30

Figur 5: eine zweite Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers; und

35 Figur 6: ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung.

Figur 7: eine erste Weiterbildung des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

5 Figur 8: Charakterische Ausgangssignale des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers in zwei Betriebsmodi; und

Figur 9: eine zweite Weiterbildung des erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers.

10

In den Figuren sind gleiche bzw. funktionsgleiche Elemente mit gleichen Bezugszeichen versehen.

15 Die Figur 3 zeigt einen erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandler.

20 Der Multibit-Delta-Sigma-Wandler 1 weist einen Eingang 2 zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang 3 zum Auskoppeln eines digitalen Ausgangssignals ZD auf. Es ist ferner ein Digital-Analog-Wandler 4 vorgesehen, der das digitale Ausgangssignal ZD zu einem analogen Rückkopplungssignal Z3 wandelt. Der Digital-Analog-Wandler 4 weist eine Bitbreite N auf. Es ist ein Differenzverstärker 5 als Summiereinrichtung vorgesehen, der das Rückkopplungssignal Z3 von dem analogen Eingangssignal ZA subtrahiert bzw. die Differenz zwischen dem analogen Eingangssignal ZA und dem Rückkopplungssignal Z3 verstärkt. Dieses verstärkende Differenzsignal Z1 wird von einem Filter, das hier als Integrierer 6 ausgeführt ist, integriert. Eine getaktete Quantisiereinrichtung 7 bildet aus dem gefilterten bzw. integrierten Differenzsignal Z2 das digitale Ausgangssignal ZD.

30

35 Die Quantisiereinrichtung liefert das digitale Ausgangssignal in derselben Bitbreite N, die der Digital-Analog-Wandler 4 aufweist.

Ein gängiges digitales Format stellt der Thermometerkode dar. 2^N Zustände entsprechen dabei 2^N geordneten Stellen, die jeweils logische Zustände Null oder Eins anzeigen. Die Anzahl der gesetzten Stellen entspricht dem Dezimalwert des entsprechenden digitalen Signals. Eine dezimale 4 in $N=3$ Bit breitem Binärkode, also 011, wird in $2^N=8$ -stelligem Thermometerkode auf 00001111 abgebildet. Da die Null in diesem Fall als 00000000 Thermometerkodesymbol dargestellt ist, wird zur Übertragung jeweils eine Datenleitung weniger als Stellen benötigt, also 2^N-1 Datenleitungen.

Die Quantisiereinrichtung 7 weist eine Schalt- und Vergleichseinrichtung 8 auf, die einen Eingang 9 zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 11 für ein oder mehrere Steuersignale SCT aufweist. Die Schalt- und Steuersignale SCT sind von einer Steuerlogik 12 erzeugt, die an einen Zwischenspeicher 13 gekoppelt ist. Der Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 7 quantisiert das integrierte Signal Z2 also in Abhängigkeit von einem Quantisiererergebnis eines vorherigen Taktes. Die Arbeitsweise einer bevorzugten Ausführungsform der Schalt- und Vergleichseinrichtung ist in der Figur 4 erläutert.

Die Figur 4 zeigt eine bevorzugte Ausführungsform einer erfindungsgemäßen Schalt- und Vergleichseinrichtung 8. Die dargestellte Schalt- und Vergleichseinrichtung 8 ist beispielhaft für eine Quantisiereinrichtung ausgelegt, die ein $N = 3$ Bit breites digitales Ausgangssignal ZD liefert. Üblicherweise müssen in einem Drei-Bit-Quantisierer 2^N-1 , also sieben Komparatoren vorgehalten werden.

Die Schalt- und Vergleichseinrichtung 8 weist einen Eingang 9 auf, zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und

einen Steuereingang 11 zum Entgegennehmen von einem oder mehrerer Steuersignale SCT.

5 Es sind ferner sieben Widerstände, 14-20, die in Serie zwischen einem oberen Referenzpotenzial VREFP und einem unteren Referenzpotenzial VREFN geschaltet sind, vorgesehen. Zwischen den Widerständen 14-20 sind sechs Referenzpotenziale U1, U2, U3, U4, U5, U6 abgreifbar. Ferner dient das untere Referenzpotenzial VREFN als nulltes Referenzpotenzial U0.

10

Es sind $y=3$ Komparatoren 21, 22, 23 vorgesehen, die jeweils einen ersten Eingang 24, 25, 26 aufweisen, an den das integrierte Signal Z2 angelegt ist, jeweils einen zweiten Eingang 27, 28, 29 und jeweils einen Ausgang 30, 31, 32 zum Ausgeben eines jeweiligen Vergleichsergebnisses V1, V2, V3 aufweisen.

15

Die Vergleichsergebnisse werden einem Dekodierer zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuersignal SCD kann wie die Steuersignale SCT von einer Steuerlogik 12 geliefert werden. An die zweiten Eingänge 27, 28, 29 der Komparatoren 21, 22, 23 schaltet eine von dem Schaltsignal SCT gesteuerte Schalteinrichtung 34 jeweils eines der Referenzpotenziale U0, U1, U2, U3, U4, U5, U6 durch.

20

Die Steuersignale SCT bzw. eine entsprechende Steuerlogik 12 steuert die Schalteinrichtung 34 derart, dass bei einer Änderung des integrierten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle des mittleren bzw. zweiten Komparators 22 immer dem Pegel des integrierten Signals Z2 am nächsten liegt. Wenn z.B. der Pegel des integrierten Signals Z2 bei einem ersten Wandlerzyklus bzw. Takt zwischen dem Referenzpotenzial U1 und U2 liegt, und die Schaltschwelle des ersten Komparators 21 bei U3, die des zweiten Komparators 22 bei U2 und die des dritten Komparators bei U1 liegt, lauten die Vergleichsergebnisse $V1 = L$, $V2 = L$ und $V3 = H$. Steigt nun zu einem zweiten folgenden Takt der Pegel des integrier-

30

35

ten Signals Z2 zwischen U2 und U3, liefern die Komparatoren bei unveränderten Schwellspannungen ein Vergleichsergebnis $V1 = L$, $V2 = H$ und $V3 = H$.

- 5 Die Schwellspannungen der drei Komparatoren 21, 22, 23 sind so eingestellt, dass sie den Ausschnitt in einem vollständigen drei Bit breiten Thermometerkode (acht Stellen, die jeweils H oder L aufweisen) überdecken, in dem ein Wechsel von H auf L von einem niedrigwertigen zu einem höherwertigen Bit
- 10 auftritt. Da jedoch durch Zwischenspeicherung beispielsweise in einem Zwischenspeicher wie er in Abbildung 3 beschrieben ist, die vorherigen Vergleichsergebnisse bekannt sind, kann ein vollständiger 3 Bit breiter, also acht Stellen aufweisender Thermometerkode von einem Kodierer 33 rekonstruiert werden,
- 15 der dann auch ein entsprechendes digitales Ausgangssignal ZD beispielsweise auch in einem Binärkode generiert.

Die Referenzpotenziale U0-U6 sind immer so an die zweiten Eingänge 27, 28, 29 der Komparatoren 21, 22, 23 geschaltet,

20 dass der erste Komparator 21 eine höhere Schaltschwelle aufweist, als der zweite Komparator 22 und der zweite Komparator 22 eine höhere Schaltschwelle aufweist als der dritte Komparator 23.

Die Schaltschwellen zwischen dem ersten und dem zweiten Komparator 21, 22 und die Differenz der Schaltschwellen zwischen dem zweiten und dem dritten Komparator 22, 23 entspricht jeweils genau einer Stelle in einem Thermometerkode, der durch die äquidistanten Referenzpotenziale U0-U6 vorgegeben ist.

30

Von Takt zu Takt werden die Referenzpotenziale bzw. Schaltschwellen der Komparatoren 21, 22, 23 entweder um eine Stelle im Thermometerkode nach oben oder unten versetzt oder - sofern ein Übergang von H- auf L-Pegel bereits zwischen dem

35 Vergleichsergebnis V1 und U2 oder V2 und U3 vorliegt - beibehalten.

Durch das Nachführen der Referenzpotenziale durch die Schalteinrichtung 34, die von der Steuerlogik 12 gesteuert ist, welche in Abhängigkeit von einem vorherigen Vergleichsergebnis bzw. Wandlerergebnis die jeweiligen Referenzpotenziale nachführt, sind die Schaltschwellen der $y=3$ Komparatoren 21, 22, 23 so steuert, dass sie in der Nähe des Pegels des integrierten Signal Z2 liegen, wodurch erfindungsgemäß eine erhebliche Einsparung an Komparatoren möglich ist.

Ein herkömmlicher Drei-Bit-Quantisierer müsste wie in Figur 2 dargestellt ist, sieben Komparatoren aufweisen, die jeweils einen hohen Flächenbedarf und eine hohe Leistungsaufnahme haben.

Unter "in der Nähe des Pegels" wird hier verstanden, dass der Pegel des integrierten Signals Z2 mindestens zwischen dem nächst höheren Referenzpotenzial zu der Schaltschwelle des ersten Komparators und dem nächst niedrigeren Referenzpotenzial zu der Schaltschwelle des dritten Komparators liegt.

20

Außerdem weist eine erfindungsgemäße Quantisiereinrichtung zum Einsatz in einem Multibit-Delta-Sigma-Wandler eine hervorragende Linearität auf, denn das Quantisierergebnis hängt nur von drei oder weniger Komparatoren ab. D.h., eine Quantisierererkennlinie weist immer gleich große Quantisierstufen auf. Da beim Stand der Technik viele Komparatoren eingesetzt sind, ist dies meist nicht gewährleistet, da die Komparatoren untereinander Schwankungen aufweisen können. Somit liefert die Reduzierung der Komparatoranzahl auch eine Verbesserung der Signalqualität des Multibit-Delta-Sigma-Wandlers.

30

In der Figur 5 ist eine zweite Ausführungsform eines erfindungsgemäßen Multibit-Delta-Sigma-Wandlers gezeigt.

Der erfindungsgemäßen Multibit-Delta-Sigma-Wandler 107 weist im wesentlichen dieselben Elemente wie in Figur 3 auf, wobei jedoch die Quantisiereinrichtung 107 eingangsseitig das ge-

filterte bzw. verstärkte und integrierte Signal Z2 mit einem Potenzial-Offset PO beaufschlagt.

5 Die Quantisiereinrichtung 107 weist eine Vergleichseinrichtung 108 auf, die einen Eingang 109 zum Einkoppeln des gefilterten und mit einem Potenzial-Offset PO beaufschlagten Signals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 für ein oder mehrere Steuersignale SCT aufweist.

10

Die Schalt- und Steuersignale SCT sind von einer Steuerlogik 112 erzeugt, die an einen Zwischenspeicher 113 gekoppelt ist. Der Potenzial-Offset PO wird von der Steuerlogik 112 geliefert und über einen Addierer 106 dem gefilterten Signal Z2
15 aufaddiert.

Der Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 107 beaufschlagt das gefilterte Signal Z2 zunächst und quantisiert das beaufschlagte Signal Z4 also in Abhängigkeit von
20 einem Quantisierungsergebnis eines vorherigen Taktes. Das gefilterte Signal Z2 wird derart beaufschlagt, dass der resultierende Signalpegel des beaufschlagten Signales Z4 immer zwischen den Schwellspannungen bzw. Referenzpotenzialen von beispielsweise drei Komparatoren, die in der Vergleichseinrichtung 108 angeordnet sind.

Die Figur 6 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung 108.

30

Die Schalt- und Vergleichseinrichtung 108 weist einen Eingang 109 auf, zum Einkoppeln des beaufschlagten Signals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 zum Entgegennehmen von einem oder
35 mehrerer Steuersignale SCT.

Es sind drei Komparatoren 121, 122, 123 vorgesehen, die jeweils einen ersten Eingang 124, 125, 126 aufweisen, an den das beaufschlagte Signal Z4 angelegt ist, jeweils einen zweiten Eingang 127, 128, 129 und jeweils einen Ausgang 130, 131, 132 zum Ausgeben eines jeweiligen Vergleichsergebnisses V101, V102, V103 aufweisen.

Die Vergleichsergebnisse werden einem Dekodierer 133 zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuersignal SCD kann wie die Steuersignale SCT von einer Steuerlogik 112 geliefert werden. An die zweiten Eingänge 127, 128, 129 der Komparatoren 121, 122, 123 ist jeweils ein Referenzpotenziale U101, U102, U103 geschaltet. Diese Referenzpotenziale sind festgelegt und hier äquidistant vorgesehen.

Die entsprechende Steuerlogik 112 steuert den Potenzial-Offset PO derart, dass bei einer Änderung des gefilterten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle des mittleren bzw. zweiten Komparators 122 immer dem Pegel des mit dem Potenzial-Offset PO beaufschlagten Signals Z4 am nächsten liegt. Die entsprechenden Vergleichsergebnisse V101, V102, V103 werden von der Dekodiereinrichtung 133 unter Berücksichtigung des Potenzialaufschlags PO, welcher positiv oder negativ sein kann, und des vorherigen Wandlungsergebnisses, welches in dem Zwischenspeicher 113 zwischengespeichert ist, verarbeitet. Dies wird über die Steuersignale SCT gesteuert.

Durch die Nachführung des Potenzial-Offsets in Abhängigkeit des vorherigen Wandlungsergebnisses ist wieder erfindungsgemäß eine Reduzierung der Anzahl der Komparatoren gegenüber dem Stand der Technik möglich.

Die Figur 7 zeigt eine vorteilhafte Weiterbildung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers mit einer speziellen Quantisiereinrichtung 207.

- 5 Die Grundstruktur des Multibit-Deltabit-Sigma-Wandlers 200 entspricht im Wesentlichen den Ausführungen zu den Figuren 3 und 5. Jedoch ist die Quantisiereinrichtung 207 und der Digital-Analog-Wandler 204 mit unterschiedlichen Bitbreiten betreibbar.

10

Die Quantisiereinrichtung 207 weist eine Schalt- und Vergleichseinrichtung 208 auf mit einem Eingang 209 für das gefilterte Signal Z2, einem Ausgang 210 für das digitale Ausgangssignal ZD, einer Schalteinrichtung 234, drei Komparatoren 221, 222, 223 und einem Dekodierer 233. Den drei Komparatoren 221, 222, 223 wird das gefilterte Signal Z2 und geeignete Referenzpotenziale von der Schalteinrichtung 234 zugeführt, wie dies auch in Figur 4 beschrieben ist. Die Vergleichsergebnisse V201, V202, V203 werden dem Dekodierer 233
15 zugeführt.

20

Der Y=3-stellige Thermometerkode bzw. die Vergleichsergebnisse V201, V202, V203 werden von dem Dekodierer 233 mit einem $2^N-Y=5$ -stelligem Thermometerkodesignal, dem Mittelwertsignal X zu dem Ausgangssignal ZD kombiniert. Dies geschieht in einer Addiereinrichtung 238.

- Das Mittelwertsignal X wird von einem Vorwärts-Rückwärts-Zähler 239 bereitgestellt, der über drei Datenleitungen an
30 die Ausgänge der Komparatoren 221, 222, 223 gekoppelt ist. Der Vorwärts-Rückwärts-Zähler 239 liefert an seinem Ausgang 240 ein digitales Signal, in 2^N-Y -stelligem Thermometerkode auf 2^N-Y-1 Datenleitungen. Falls das Vergleichsergebnis V201, V202, V203 von einem Takt zum nächsten größer wird, zählt der
35 Vorwärts-Rückwärts-Zähler 239 hoch, und falls das Vergleichsergebnis niedriger wird, dekrementiert der Vorwärts-Rückwärts-Zähler 239 das Mittelwertsignal X um eine Stelle in

- dem Thermometerkode. Bei der hier gewählten Anzahl von $y=3$ Komparatoren 221, 222, 223 bietet sich eine Zählweise an, bei der der Wert am Ausgang 240 des Vorwärts-Rückwärts-Zählers 239 unverändert bleibt, falls sich nur das Vergleichsergebnis V202 des mittleren Komparators 222 von einem zum anderen Takt ändert, der Wert jedoch um eine Stelle im Thermometerkode inkrementiert/dekrementiert wird, falls sich das Vergleichsergebnis V201, V203 des oberen/unteren bzw. des mit dem höchsten/niedrigsten Referenzpotenzial betriebenen Komparators 221,223 ändert. Dann liegt das durch die drei Komparatoren abgedeckte Potenzialfenster immer um das Potenzial des Eingangssignals der Quantisiereinrichtung 207 bzw. des gefilterten Signals Z2.
- 15 Ferner ist eine Steuerlogik 212 vorgesehen, welche ebenfalls die Vergleichsergebnisse V201, V202, V203 im $Y=3$ -stelligen Thermometerkode auswertet. Die Vergleichsergebnisse können auch als Differenzsignal verstanden werden.
- 20 Die Steuerlogik 212 liefert Steuersignale an die Schalteinrichtung 234 und bestimmt die den Komparatoren 221,222,223 zugeordneten Referenzpotenziale. Die Steuerlogik 212 steuert einen steuerbaren Schalter 241 über ein Steuersignal SCS, wobei der steuerbare Schalter 241 dem Ausgang 240 des Vorwärts-Rückwärts-Zählers 239 nachgeschaltet ist, in geschlossenem Zustand das Mittelwertsignal X dem Dekodierer 233 zuführt und in geöffnetem Zustand kein Mittelwertsignal X passieren lässt.
- 30 Die Steuerlogik 212 schaltet auch den Digital-Analog-Wandler 204 über ein Steuersignal SCK zwischen verschiedenen Wandlungsbitbreiten um.

35 In der vorteilhaften Weiterbildung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers 200 sind zwei Betriebsmodi möglich. In dem Nachführ- bzw. Nachlaufmodus, wie er auch vorstehend in den Erläuterungen zu den Figuren 3 bis 6 beschrie-

ben wurde, liefert die Quantisiereinrichtung 207 an ihrem Ausgang 210 ein $N=3$ Bit breites digitales Ausgangssignal im Thermometerkode, welcher $2^N=8$ Stellen aufweist. Das rückgekoppelte Ausgangssignal ZD wird also in der Regel auf 7 Datenleitungen an den Digital-Analog-Wandler 204 geführt.

In dem zweiten Betriebsmodus, dem Flash-Modus, arbeitet die Quantisiereinrichtung 207 wie ein 2-Bit Flash-Analog-Digital-Wandler. Die Bitbreite $M=\ln(Y+1)/\ln(2)$ entspricht der Anzahl $Y=3$ der eingesetzten Komparatoren 221, 222, 223. Dieses 2 Bit breite Differenzsignal aus den Vergleichsergebnissen V201, V202, V203 benötigt $Y=3$ Datenleitungen, wenn es im Thermometerkode dargestellt ist. In dem Flash-Modus öffnet die Steuerlogik 212 den steuerbaren Schalter 241, sodass die Addiereinrichtung 238 des Dekodierers 233 lediglich das Differenzsignal, also die Vergleichsergebnisse V201, V202, V203 der als Flash-Analog-Digital-Wandler arbeitenden Komparatoren 221, 222, 223 weiterleitet. In dem Flash-Modus signalisiert die Steuerlogik 212 dem Digital-Analog-Wandler 204, welcher als 2-Bit Wandler ausgeführt betreibbar ist, dass lediglich die auf den $Y=3$ entsprechenden Datenleitungen zugeführten Thermometerkodesignale des digitalen Ausgangssignals ZD in das analoge Rückkopplungssignal gewandelt werden sollen.

Der Flash-Modus des Multibit-Delta-Sigma-Wandlers 200 ist von besonderem Vorteil in der Hochfahr- bzw. Einschaltphase des Multibit-Delta-Sigma-Wandlers. Beim Hochfahren in dem Nachlaufmodus würden die Komparatoren 221, 222, 223 immer die Differenz zum vorigen Wandlungswert bilden, welcher beim Einschalten nicht bekannt ist. Der Zähler wird im Vorwärts-Rückwärts-Zähler 239 dann inkrementiert bzw. dekrementiert um dem Eingangssignal Z2 der Quantisiereinrichtung 207 zu folgen. Das dann erzeugte Ausgangssignal wird dem Digital-Analog-Wandler 204 in der Rückkopplung übergeben. Falls der Quantisierer im Nachführmodus das Ausgangssignal ZD inkrementiert, wird das invertierte und gefilterte Signal Z2 dekrementiert.

mentiert, wodurch nie ein stabiler Arbeitspunkt gefunden werden kann.

5 Daher ist die Steuerlogik 212 so als Fangschaltung ausgeführt, dass während der Hochfahrphase die Quantisiereinrichtung 207 als Flash-Wandler arbeitet. Dies geschieht in dem hier gewählten Ausführungsbeispiel als 2-Bit Flash-Analog-Digital-Wandler, der durch die drei Komparatoren 221, 222, 223 realisiert ist.

10

Vorzugsweise schaltet die Steuerlogik über Steuersignale SCT die Schaltsteuerung 234 derart, dass der gesamte Aussteuerbereich, welcher durch die Differenz zwischen dem höchsten Referenzpotenzial und dem niedrigsten Referenzpotenzial gegeben ist, vollständig ausgenutzt wird. Bei einer analog der Figur 15 4 gewählten Referenzpotenzialanordnung sind dann in dem Flash-Modus die Referenzpotenziale U0, U3 und U6 an die Komparatoren 223, 222, 221 geschaltet. Die Auflösung wird in dieser Flash-Phase bzw. dem Flash-Modus größer. Sobald ein 20 stabiler Arbeitspunkt gefunden ist, schaltet die Steuerlogik 212 in den zuvor beschriebenen Nachführmodus und führt das Mittelwertsignal X bzw. das Ergebnis des Vorwärts-Rückwärts-Zähler 239 an den Dekodierer 233 der aus dem Differenzsignal, welches die Vergleichsergebnisse V201, V202, V203 der nachgeführten Komparatoren darstellt und dem Mittelwertsignal X ein 25 N-Bit breites Ausgangssignal ZD kombiniert.

Ein beispielhafter Signalverlauf des digitalen Ausgangssignals zeigt die Figur 8.

30

Die Steuerlogik 212 kontrolliert die Vergleichsergebnisse V201, 202, V203 der Komparatoren 221, 222, 223 und schaltet bei einem vorbestimmten Wert dieses Differenzsignals vom Flash-Modus in den Nachlaufmodus. Während des Flash-Modus ist 35 das Ausgangssignal ZD in zwei Bit quantisiert. Wird von der Steuerlogik 212 ein Nulldurchgang des Quantisierereingangssignals bzw. des gefilterten Signals Z2 detektiert, schaltet

die Steuerlogik 212 die Quantisiereinrichtung 207 in den Nachlaufmodus. Ab dem Umschaltzeitpunkt geschieht die Quantisierung mit drei Bit.

- 5 In der Figur 9 ist eine alternative Ausführungsform der vorteilhaften Weiterbildung des Multibit-Delta-Sigma-Wandlers 300 dargestellt.

10 Der Aufbau entspricht im Wesentlichen der in Figur 7 beschriebenen Ausführungsform. Die Quantisiereinrichtung 307 ist jedoch so ausgestaltet, um das gefilterte Signal Z2 mit einem Potenzial-Offset PO zu beaufschlagen. Es ist eine Vergleichseinrichtung 308 vorgesehen, die drei Komparatoren 321, 322, 323, einen Dekodierer 333 und einen Addierer 306 aufweist. Die Vergleichsergebnisse V301, V302, V303 der Komparatoren 321, 322, 323 werden dem Dekodierer 333 zugeführt und einer Steuerlogik 312, sowie einem Vorwärts-Rückwärts-Zähler 339.

- 20 Der Vorwärts-Rückwärts-Zähler 339 liefert an einem Ausgang 340 ein Mittelwertsignal X im Thermometerkode mit $2^N - Y$ Stellen auf $2^N - Y - 1$ Leitungen. Dieser wird über einen steuerbaren Schalter 341 an einem Steuereingang 311 der Vergleichseinrichtung 308 und von dort dem Dekodierer 333 zugeführt.

Das Mittelwertsignal X ist außerdem an einen Referenz-Digital-Analog-Wandler 342 geführt, der daraus den analogen Potenzialoffset PO generiert. Dieser Potenzialoffset wird dem gefilterten Signal Z2 über den Addierer 306 addiert.

- 30 Die Steuerlogik 312 schaltet mittels der Schaltsignale STS den ersten steuerbaren Schalter 341 und einen zweiten steuerbaren Schalter 243, der dem Referenz-Digital-Analog-Wandler 342 nachgeschaltet ist.

- 35 Im Flash-Modus trennt die Steuerlogik 312 den Potenzialoffset PO mittels dem steuerbaren Schalter 343 von dem Addierer 306,

und die Steuerlogik 312 trennt das Mittelwertsignal X mittels dem steuerbaren Schalter 341 von dem Dekodierer 333.

Somit arbeitet die alternative Ausführungsform der vorteilhaften Weiterbildung des Multibit-Delta-Sigma-Wandlers 300 wie vorstehend in den Erläuterungen zu Figur 7 ausgeführt im Flash-Modus als 2-Bit Multibit-Delta-Sigma-Wandler und im Nachlaufmodus als 3-Bit Delta-Sigma-Wandler, wobei in beiden Modi jeweils nur drei Komparatoren 321, 322, 323 vorgehalten werden müssen. Der Digital-Analog-Wandler 304 ist ebenfalls über das Steuersignal SCK durch die Steuerlogik 312 zwischen einem 2-Bit und einem 3-Bit Wandlermodus umschaltbar.

Obgleich die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie nicht darauf beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

So sei die Erfindung nicht auf eine Quantisiereinrichtung mit drei Komparatoren oder eine Bitbreite von $N = 3$ beschränkt. Vielmehr lässt sich die erfindungsgemäße Idee des Nachführens der Schaltschwellen bzw. Referenzpotenziale der einzelnen Komparatoren im Extremfall auch auf nur einen einzigen Komparator ausführen, dessen Schaltschwelle jeweils derart dem Pegel des zu vergleichenden Signals nachgeführt ist, dass sich bei jedem Takt das Vergleichsergebnis ändert.

Die Umschaltung zwischen Flash- und Nachlaufmodus kann auch abgestuft erfolgen. Durch Vorhalten vieler Referenzspannungen sind durch Einschnüren des Potenzialfensters, in dem die Komparatoren arbeiten und gleichzeitige Erhöhung der Anzahl der Stellen im Thermometerkode des Mittelwertsignals eine Erhöhung der Bitbreite des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers einfach erzielbar. Beispielsweise ist eine Abfolge von Flash-Betriebsmodus und Multibit-Modi bzw. Nachführmodi mit steigenden Bitbreiten erreichbar.

Das Filter kann zeitkontinuierlich oder zeitdiskret ausgeführt sein, je nach Wandlerarchitektur des entsprechenden Multibit-Delta-Sigma-Wandlers.

- 5 Die Bereitstellung der Referenzpotenziale für den Thermometerkode muss selbstverständlich nicht mit einer Widerstandsleiter geschehen, sondern kann auf vielfältige Art und Weise realisiert sein. Der Dekodierer kann auch abweichend vom Ausführungsbeispiel einen Thermometerkode anstelle des binären
10 Kodes ausgeben.

- Die Erfindung ermöglicht besonders stromsparende und hoch auflösende Multibit-Delta-Sigma-Wandler. Die Reduzierung der Komparatoranzahl führt zu einer Flächeneinsparnis auf einem
15 Halbleiterchip. Eine Erhöhung der Bitbreite eines Multibit-Delta-Sigma-Wandlers führt erfindungsgemäß nicht zu einer exponentiellen Erhöhung der Anzahl der notwendigen Komparatoren. Vielmehr lässt sich die vorliegende Erfindung auf beliebige Bitbreiten anwenden. Durch die erfindungsgemäße Umschal-
20 tung zwischen einem Hochfahrmodus und dem Nachführmodus wird immer ein stabiler Arbeitspunkt des Multibit-Delta-Sigma-Wandlers erreicht und ein zuverlässiges Funktionieren gewährleistet.

Patentansprüche

1. Stromsparender Multibit-Delta-Sigma-Wandler (1) mit:

5

(a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

10

(b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu einem analogen Rückkopplungssignal (Z3);

15

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

(d) einem Filter (6) zum Filtern des Differenzsignals (Z1); und

20

(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N;

30

wobei die Quantisiereinrichtung (7) eine Anzahl Y Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0, ...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

35

2. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 1, dadurch gekennzeichnet,

dass die Summiereinrichtung (6) einen Differenzverstärker (35) zum Verstärken der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3) aufweist.

5 3. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 2, dadurch gekennzeichnet, dass das Filter (6) einen Integrierer zum Integrieren des verstärkten Differenzsignals (Z1) aufweist

10 4. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Quantisiereinrichtung (7) weniger als $2^N - 1$ Komparatoren (21, 22, 23) aufweist.

15 5. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Quantisiereinrichtung (7) eine Schaltsteuerung (8, 20 12) aufweist, die in Abhängigkeit von dem vorherigen Vergleichsergebnis an die Komparatoren (21, 22, 23) Referenzpotenziale schaltet (U0, ... U6), so dass bei einer Änderung des Eingangssignals (ZA) mindestens einer der Komparatoren (21, 22, 23) sein Vergleichsergebnis (V1, V2, V3) ändert.

6. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Speicher (13) zum Zwischenspeichern des digitalen 30 Ausgangssignals (ZD) vorgesehen ist.

7. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 5, dadurch gekennzeichnet, dass die Schaltsteuerung (8, 12) an den Speicher (13) gekoppelt ist und in Abhängigkeit von dem zwischengespeicherten 35 Ausgangssignal (ZD) die Referenzpotenziale (U0, ... U6) an die Komparatoren (21, 22, 23) schaltet.

8. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 5 dass die Quantisiereinrichtung (7) mindestens einen ersten, zweiten und dritten Komparator (21, 22, 23) mit jeweils einem ersten, einem zweiten Eingang (24-29) und einem Ausgang (30, 31, 32) aufweist, wobei an die ersten Eingänge (24, 25, 26) das gefilterte Signal (Z2) angelegt ist, die Ausgänge (30, 10 31, 32) jeweils ein Vergleichsergebnis (V1, V2, V3) liefern und an die zweiten Eingänge (27, 28, 29) ein erstes, zweites und drittes Referenzpotenzial (U0, ...U6) geschaltet ist, wobei das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial liegt und dem Potenzial des gefilterten Signals (Z2) am nächsten liegt.
- 15

9. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 20 dass die Referenzpotenziale (U0, ..U6) äquidistant sind.

10. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- dass $2^N - 1$ verschiedene Referenzpotenziale (U0, ...U6) schaltbar sind.

11. Stromsparender Multibit-Delta-Sigma-Wandler (100) mit:

- 30 (a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);
- (b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu
- 35 einem analogen Rückkopplungssignal (Z3);

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

5 (d) einem Filter (6) zum Filtern des Differenzsignals (Z1);
und

(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen
10 Ausgangssignal (ZD) mit der Bitbreite N;

wobei die Quantisiereinrichtung (107) das gefilterte Signal mit einem Potenzial-Offset (PO) beaufschlagt und eine Anzahl Y Komparatoren aufweist, die das gefilterte und beaufschlagte
15 Signal (Z4) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen, und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal (ZD) erzeugt,
20 und wobei der Potenzial-Offset (PO) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt ist.

12. Multibit-Delta-Sigma-Wandler (100,300) nach Anspruch 11,
d a d u r c h g e k e n n z e i c h n e t ,
dass eine Schaltsteuerung (108, 112, 312) vorgesehen ist, die an die an Ausgänge (130, 131, 132) der Komparatoren (121,122,123) gekoppelt ist, und in Abhängigkeit von den Vergleichsergebnissen (V301,V302, V303) den Potenzial-Offset (PO) einstellt.

30

13. Multibit-Delta-Sigma-Wandler (200,300) nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Digital-Analog-Wandler (204, 304) und die Quantisiereinrichtung (207, 307) mit der Bitbreite N und mit einer
35 Bitbreite $M = \ln(Y+1)/\ln(2)$, die der Anzahl Y der Komparato-

ren (221, 222, 223, 321, 322, 323) entspricht, betreibbar ist.

5 14. Multibit-Delta-Sigma-Wandler (200,300) nach Anspruch 13, dadurch gekennzeichnet, dass der Digital-Analog-Wandler (204, 304) und die Quantisierereinrichtung (207,307) zwischen den beiden Bitbreiten N und M umschaltbar ist.

10 15. Multibit-Delta-Sigma-Wandler (200,300) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine Zähleinrichtung (239, 339) aufweist zum Erzeugen eines digitalen Mittelwertsignals (X) in 2^N -Y-stelligem Thermometerkode in Abhängigkeit von den Vergleichsergebnissen (V201, V202, V203, V301, V302, V303).

20 16. Multibit-Delta-Sigma-Wandler (200, 300) nach Anspruch 15, dadurch gekennzeichnet, dass die Zähleinrichtung (239, 339) einen Vorwärts-/Rückwärtszähler aufweist.

5 17. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Dekodierer (33,133) eine Addiereinrichtung (238, 338) aufweist zum Bilden des N-Bit breiten Ausgangssignals (ZD) durch Kombinieren der Vergleichsergebnisse (V201, V202, V203, V301, V302, V303) mit dem Mittelwertsignal (X).

35 18. Multibit-Delta-Sigma-Wandler (200, 300) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltsteuerung (208, 212, 239,308, 312, 339) eine Steuerlogik (212, 312) aufweist, die in Abhängigkeit von den Vergleichsergebnissen (V201, V202, V203, V301, V302, V303)

entweder die Vergleichsergebnisse (V201, V202, V203, V301, V302, V303) in Y-stelligem, M Bit breiten Thermometerkode als digitales Ausgangssignal (ZD) schaltet oder die mit dem Mittelwertsignal (X) kombinierten Vergleichsergebnisse (V201, V202, V203, V301, V302, V303) als digitales Ausgangssignal (ZD) in 2^N -stelligem, N-Bit breiten Thermometerkode schaltet.

19. Multibit-Delta-Sigma-Wandler (300) nach einem der vorhergehenden Ansprüche 11 - 18,

10 d a d u r c h g e k e n n z e i c h n e t ,
dass die Schaltsteuerung (308, 312, 339, 342) einen Referenz-Digital-Analog-Wandler (342) aufweist zum Erzeugen des Offset-Potenzial (PO) aus dem digitalen Mittelwertsignal (X).

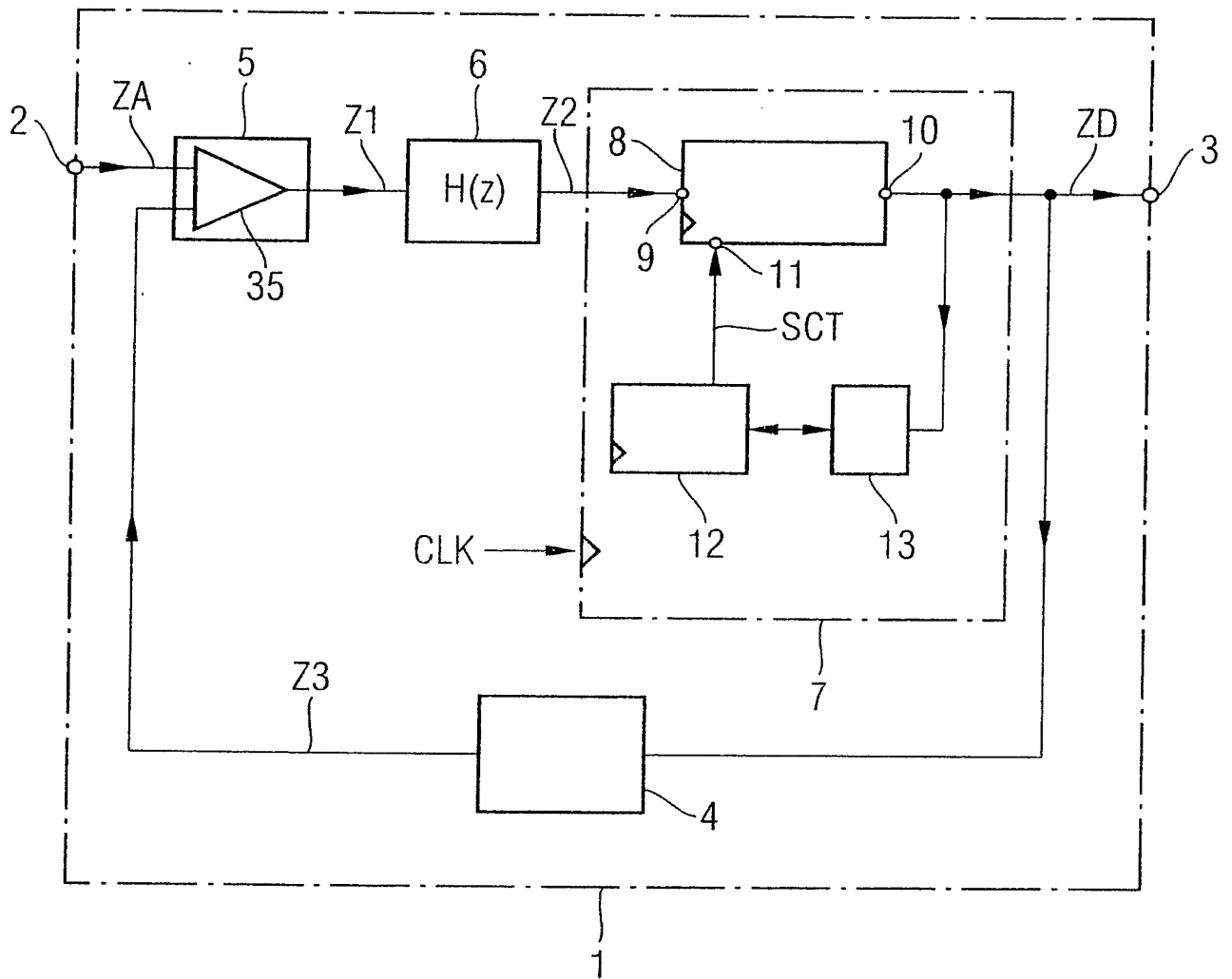
15

Zusammenfassung

Stromsparender Multibit-Delta-Sigma-Wandler (1) mit einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD); einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu einem analogen Rückkopplungssignal (Z3); einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3); einem Filter (6) zum Filtern des Differenzsignals (Z1); und einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N; wobei die Quantisiereinrichtung (7) mehrere Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0,...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

Figur 3

FIG 3



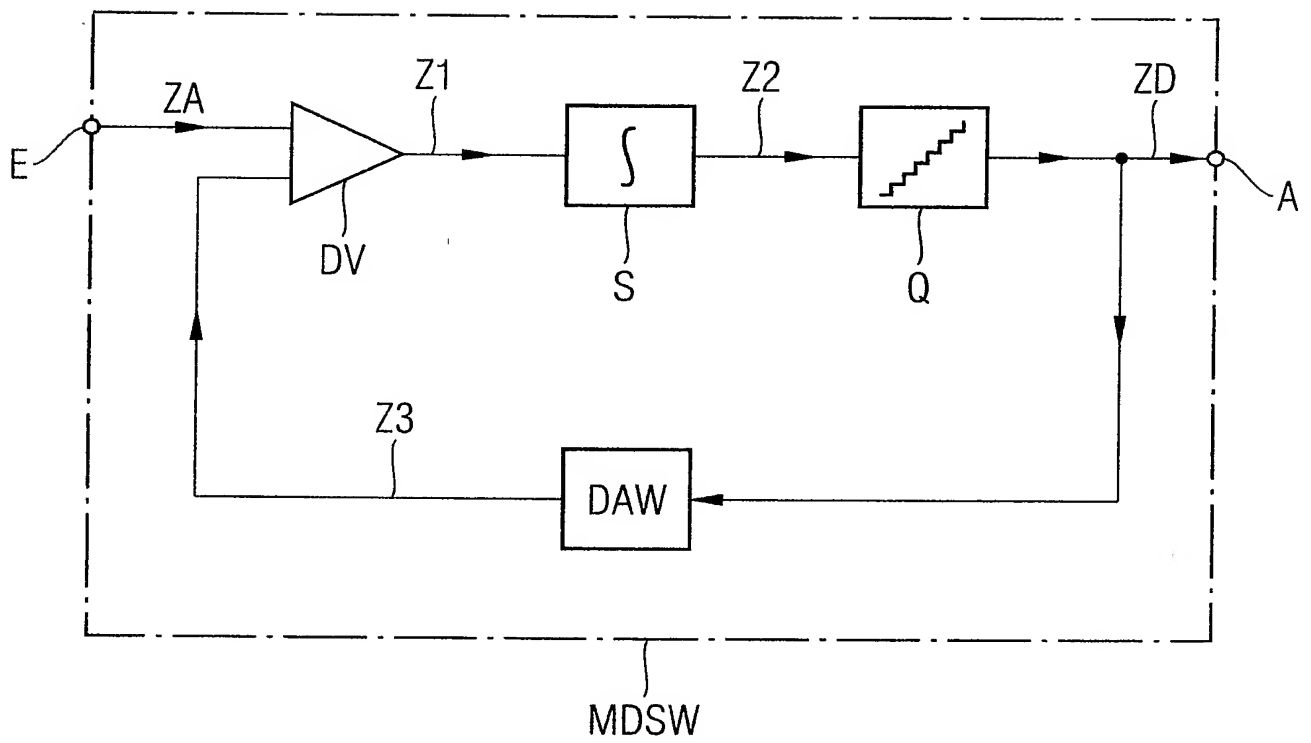
Bezugszeichenliste

	1	Multibit-Delta-Sigma-Wandler
	2	Eingang
5	3	Ausgang
	4	Digital-Analog-Wandler
	5	Summiereinrichtung
	6	Filter
	7	Quantisiereinrichtung
10	8	Vergleichs- und Schalteinrichtung
	9	Eingang
	10	Ausgang
	11	Steuereingang
	12	Steuerlogik
15	13	Zwischenspeicher
	14-20	Widerstand
	21, 22, 23	Komparator
	24, 25, 26	Eingang
	27, 28, 29	Eingang
20	30, 31, 32	Ausgang
	33	Dekodierer
	34	Schalteinrichtung
	35	Differenzverstärker
	107	Quantisiereinrichtung
	108	Vergleichseinrichtung
	109	Eingang
	110	Ausgang
	111	Steuereingang
	112	Steuerlogik
30	113	Zwischenspeicher
	121, 122, 123	Komparator
	124, 125, 126	Eingang
	127, 128, 129	Eingang
	130, 131, 132	Ausgang
35	133	Dekodierer
	200	Multibit-Delta-Sigma-Wandler
	204	Digital-Analog-Wandler

	207	Quantisiereinrichtung
	208	Vergleichseinrichtung
	209	Eingang
	210	Ausgang
5	212	Steuerlogik
	221, 222, 223	Komparator
	233	Dekodierer
	234	Schalteinrichtung
	238	Addiereinrichtung
10	239	Vorwärts-Rückwärts-Zähler
	240	Ausgang
	241	steuerbarer Schalter
	300	Multibit-Delta-Sigma-Wandler
	304	Digital-Analog-Wandler
15	306	Addierer
	307	Quantisiereinrichtung
	308	Vergleichseinrichtung
	309	Eingang
	310	Ausgang
20	311	Steuereingang
	312	Steuerlogik
	321, 322, 323	Komparator
	333	Dekodierer
	339	Vorwärts-Rückwärts-Zähler
	340	Ausgang
	341	steuerbarer Schalter
	342	Referenz-Digital-Analog-Wandler
	343	steuerbarer Schalter
	A	Ausgang
30	DEK	Dekodierer
	DV	Differenzverstärker
	E	Eingang
	GND	Masse
	K1-K7	Komparator
35	L1-L7	Eingang
	M1-M7	Eingang
	MDSW	Multibit-Delta-Sigma-Wandler

	O1-O7	Ausgang
	P1-P7	Vergleichsergebnis
	Q	Quantisierer
	R1-R7	Widerstand
5	S	Summierer
	SCD	Kodiersteuersignal
	SCK	Schaltsignal
	SCS	Steuersignal
	SCT	Steuersignale
10	U0-U6	Referenzpotenzial
	U101-U103	Referenzpotenzial
	V1, V2, V3	Vergleichsergebnis
	V201, V202, V203	Vergleichsergebnis
	V301, V302, V303	Vergleichsergebnis
15	VREFP	Referenzpotenzial
	VREFN	Referenzpotenzial
	PO	Potenzial-Offset
	X	Mittelwertsignal
	Z1	Differenzsignal
20	Z2	gefiltertes Signal
	Z3	Rückkopplungssignal
	Z4	beaufschlagtes Signal
	ZA	analoges Eingangssignal
	ZD	digitales Ausgangssignal

FIG 1



Stand der Technik

FIG 2

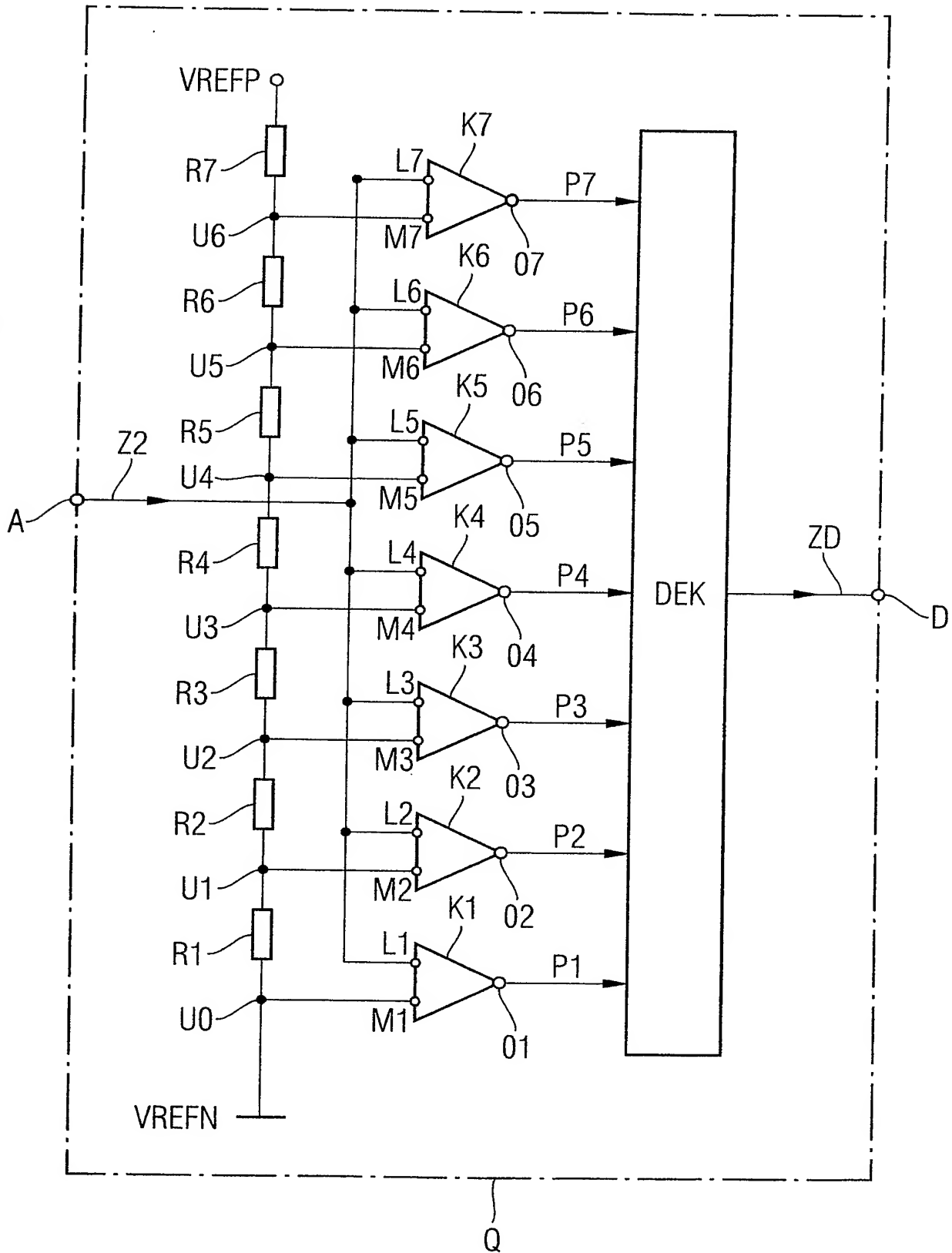


FIG 3

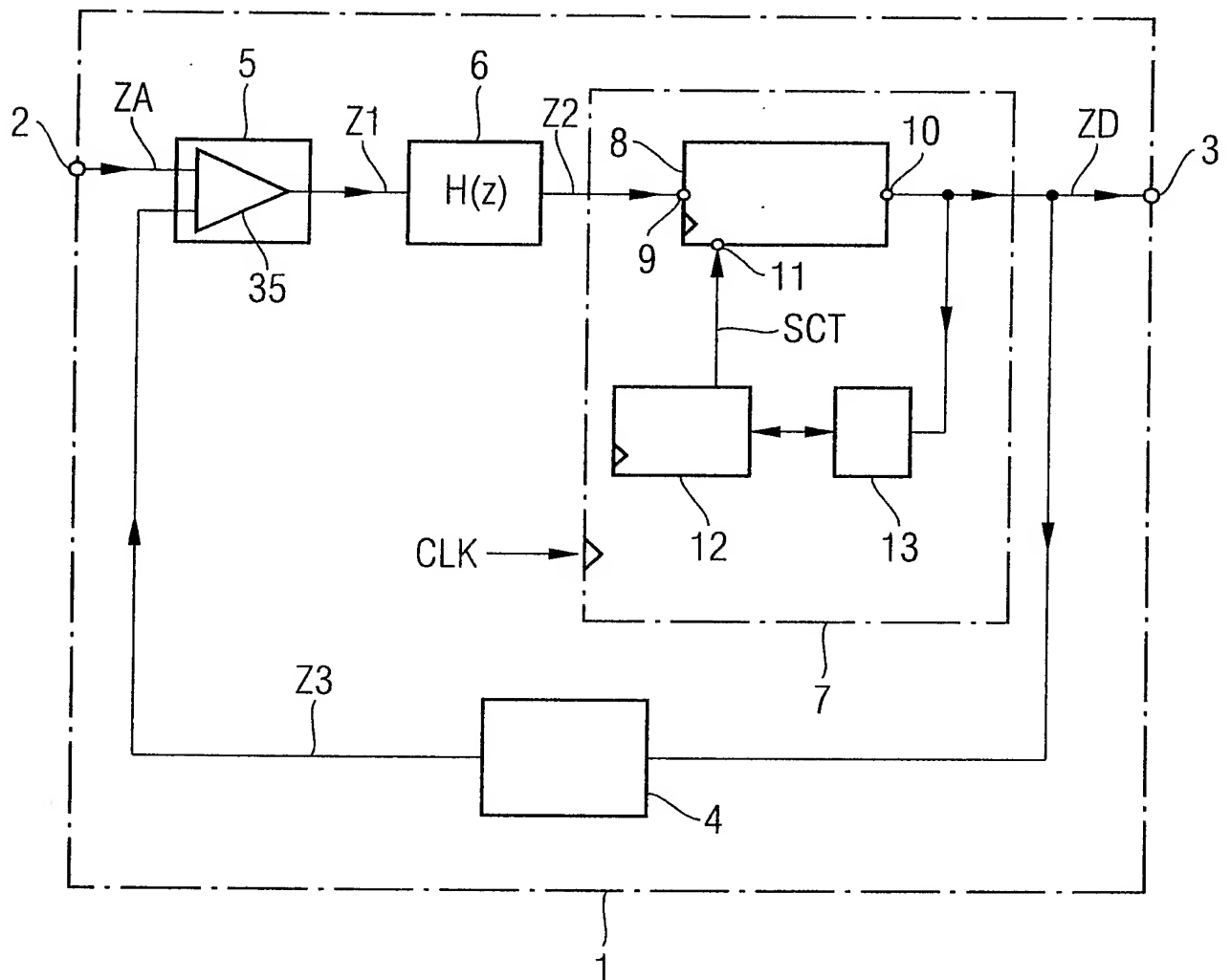


FIG 4

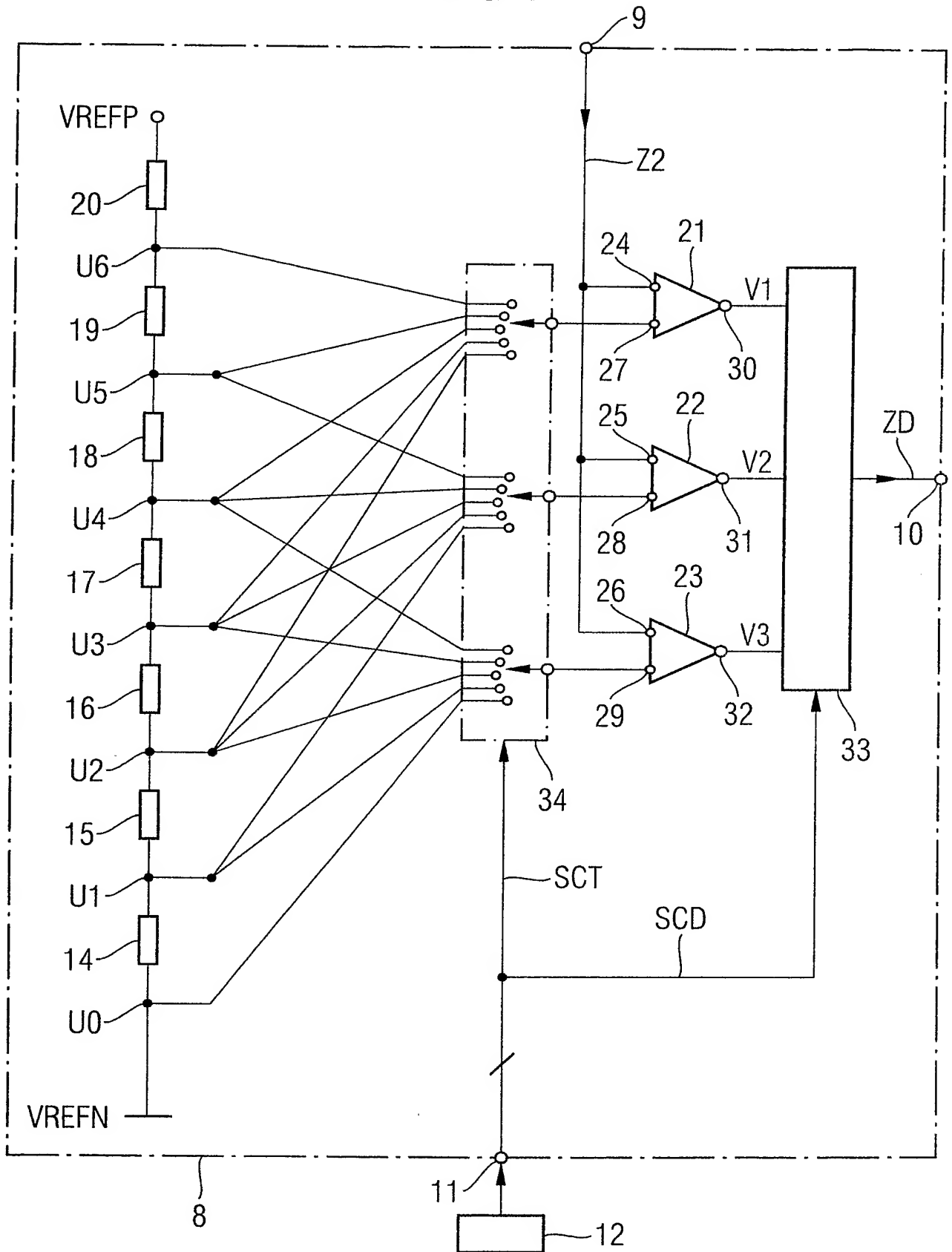


FIG 5

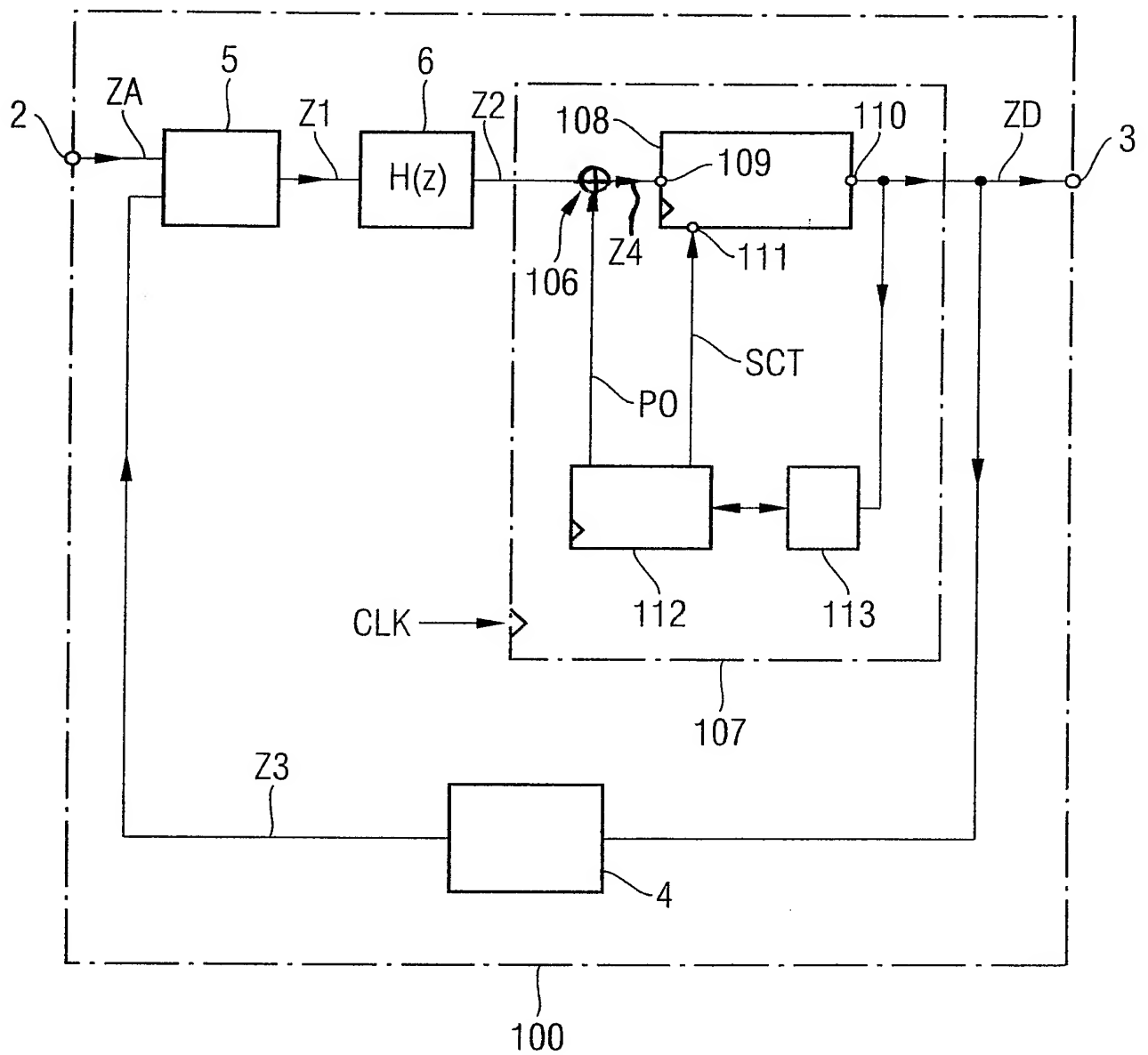
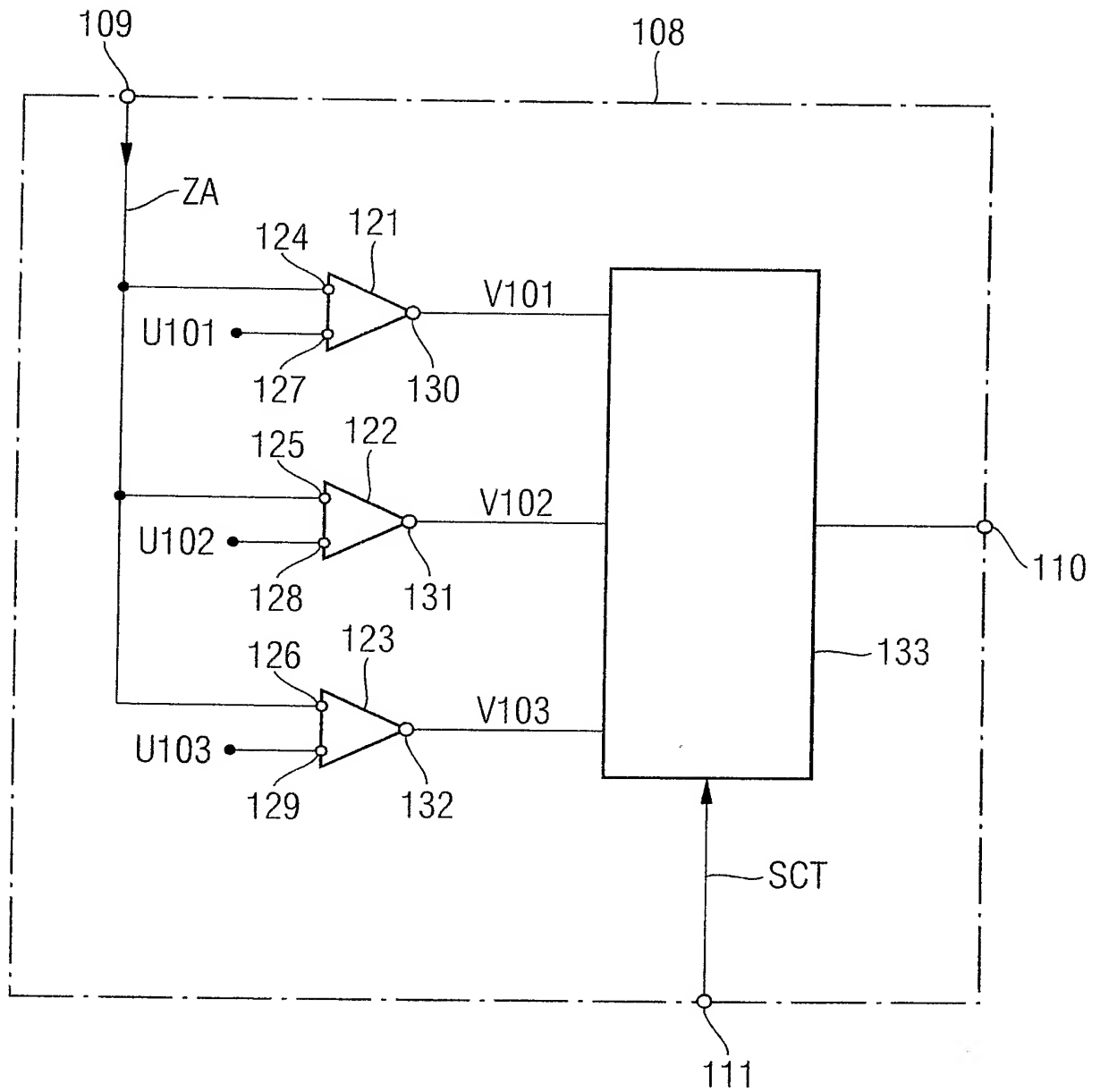
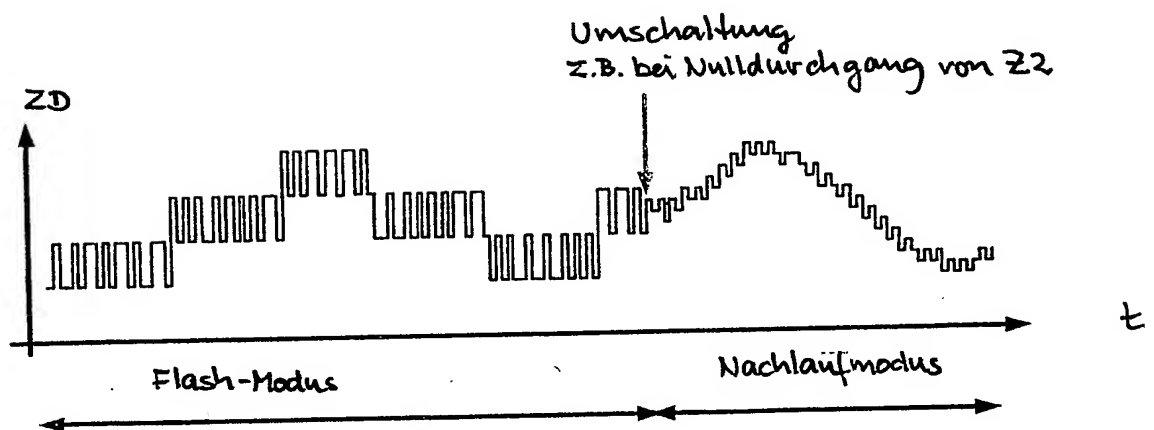


FIG 6



8/9

FIG 8



919

FIG 9

